

4 章 ジョゼフソン素子のデジタル応用

4.1 ジョゼフソンデジタル回路

[1] デジタル回路

最も基本的なデジタル回路は、組合せ論理回路である。これは、図4.1のように、幾つかの入力と幾つかの出力を持つ回路である。入力に1と0の特定な組合せのパターンを与えると、それに対応するあらかじめ定められた1と0のパターンを即座に出力する。更に別のパターンを与えると、別のあらかじめ定められたパターンを出力する。こうした回路は、なん種類かの簡単な論理機能を組合せると実現できることから組合せ論理回路と呼ばれる。例えば、NOTとANDとORがあれば、どんな複雑な論理も実現することができる。

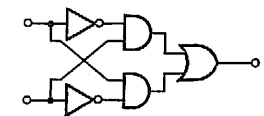
一例を挙げてみよう。図4.2(a)に示すような2入力1出力の論理機能を考えよう。これは排他ORと呼ばれるものであり、入力のどちらか片方に1があるときのみ出力が1となる。こうした回路を作るには、まず入力が(01)のときだけ1となる中間出力と、(10)のときだけ1となる中間出力を用意すると簡単に実現できる。前者は IN_1 の否定 $\overline{IN_1}$ と IN_2 のANDである $\overline{IN_1} \cdot IN_2$ で、また後者は $IN_1 \cdot \overline{IN_2}$ で実現できる。出力 OUT は、この中間出力のいずれかが1となるとき1を出せばよいから、両者のOR(+で表わす)をとればよい。つま



図4.1 組合せ論理回路

入 力		出力
IN_1	IN_2	OUT
0	0	0
0	1	1
1	0	1
1	1	0

(a) 論理表



(b) 組合せ論理回路の例

図4.2 組合せ論理回路の例

り

$$OUT = \overline{N_1} \cdot IN_2 + IN_1 \cdot \overline{N_2}$$

を回路化して、図4-2(b)のようにすれば実現できる。

このように、どんな多入力、1出力の論理機能でも、入力および入力の NOT を AND に入れ、更にその OR をとることで作成することができる。それを幾つか組合せれば、任意の論理機能を持った多入力、多出力の組合せ論理回路も実現できることが理解できよう。NOT, AND, OR の組合せ以外に、NAND だけでも任意の論理機能を実現することができる。NOT は1入力 NAND でよいし、AND は NAND の否定でよい。また、OR は入力をすべて否定してから NAND をとることで構成できるからである。同様に、NOR だけでも任意の論理機能を実現することができる。

組合せ論理回路の出力は、そのときの入力で一義的に決定されてしまうが、デジタル回路には過去の入力にも依存して出力を出すものもある。こうした回路は順序回路と呼ばれる。順序回路の内部には、通常の基本論理素子以外に図4-3(a)のように遅延素子が必要となる。これらの遅延素子を図4-3(b)のようにまとめて回路の外へ出してしまおうと、残された回路は再び純粋な組合せ論理回路となってしまう。遅延素子にはいろいろな種類があるが、大きく分けると同期型遅延素子と非同期型遅延素子に分類できる。

同期型遅延素子は、システム全体の動作のタイミングを決定するクロックが別にあり、そのクロックに合わせて遅延を起こすものである。例えば、組合せ論理回路の出力に現われたデータを、ちょうど1クロック周期後に組合せ論理回路に戻すような遅延フリップフロップ(D-FF)などが代表的なものである。

非同期型遅延素子は、クロックを持たない遅延素子である。例えば、入力に1

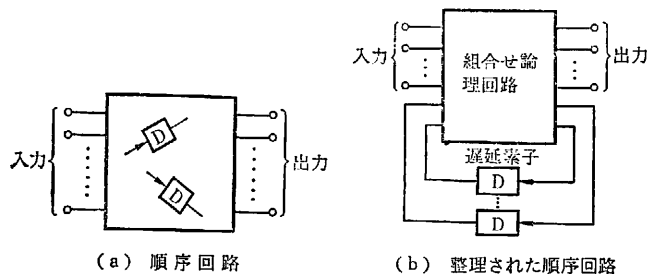


図4-3 順序回路

が入るたびに、出力を 0 → 1 → 0 → ... と反転させる T-FF などが挙げられる。また、1 をセットする入力と 0 をセットする入力の 2 入力を持った素子で、そのいずれかに 1 を入れ出力を変えるよう指示を受けるまでは、出力を前の状態に保持する RS-FF なども一つの例である。非同期型遅延素子をうまく組合せると同期型遅延素子も実現でき、この意味で遅延素子の基礎ともいえるが、コンピュータのような大きなシステムを組むといろいろな遅延のものが混じってくるため、設計が極端に難しくなる。このため、今後、本書で取り扱うのはほとんど同期型遅延素子と考えて差し支えない。

以上のように、どんな複雑なデジタル回路でも、原理的には論理素子と遅延素子だけで構成できる。しかし、実用的なコンピュータなどでは、このほかにバスゲートや記憶素子、入出力回路などが使われる。

コンピュータの中は図4-4のように幾つかの機能のブロックに分けて設計される。例えば、外からデータを受け取る入力部、外へ出力を出す出力部、計算を行う演算部、各部へ制御信号を送る制御部などである。こうしたブロック間の情報伝達を行うのに必要な箇所をいちいち配線で接続しては配線の量がばく大なものになってしまう。このため、バスと称する何本かの共通な配線を置き、すべてのブロックが、このバスを介して情報を交換することが行われる。バスは共用で用いられるので、情報を送り出すブロックと受け取るブロック以外の、その時点での通信に関係のないブロックはバスから切り離されていないといけない。このバスとの接続のスイッチがバスゲートである。このバスゲートの制御は通常、制御部が行う。

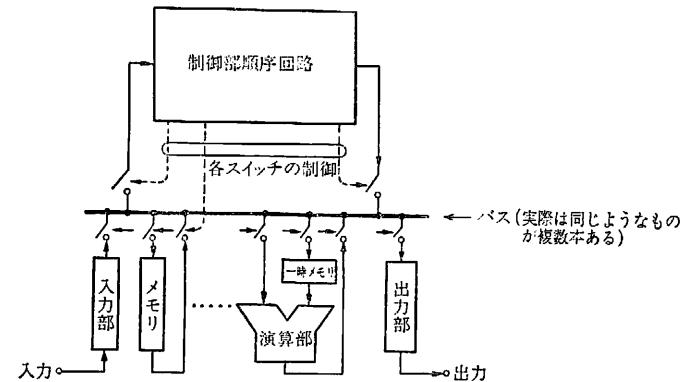


図4-4 コンピュータの構造

際の回路では、増幅器は幾つかのメモリで共用して使う)。

こうした半導体素子の一つの特徴は、入出力の分離がとれる点である。ゲートへ入力を入れるとソースドレイン間に大きな変化が現われるのに対し、ソースやドレインの電圧状態が変化しても、ゲートにはほとんどその影響が現われない点である。

スイッチのような働きをする半導体素子に対し、ジョゼフソン素子は全く異なる動作原理で動く。まず、ジョゼフソン素子は、強い非線形性を持った2端子素子である。しかも、ある電流以上を流そうとすると急に抵抗が増加するという、いわばフューズのような機能を持っている。このため入力に幾つか1になるとフューズが飛ぶように、状態が変化するという形式で多数決論理回路を組むことができる。しきい値を高く設定すればAND論理ができ、しきい値を低く設定すればOR論理が実現できる。このようなフューズ型の素子で、実現の難しいのは否定の入ったNOTやNANDやNORである。というのは信号のこないときにフューズを飛ばし、信号がきたときにはフューズが飛ばないようにしなければならないからであり、単純な方法では実現できない。もう一つの難点は、2端子素子の組合せで論理を作るため、どうしても入出力の分離が悪くなることである。つまり、出力の変動の影響がどうしても入力に現われてしまう。こうした難点はいずれも解決されているが、ジョゼフソン素子を使う点で最も工夫のいるところである。

このように、多少使いづらいジョゼフソン素子を、あえてデジタル回路に用いる最大の理由は、その状態遷移の高速性と低消費電力性による。半導体素子であろうと、どんな素子を用いようとも、高速のデジタル回路を作ろうとすると、素子そのものが高速で動作することと高集積できることが重要となる。ジョゼフソン素子は、およそpsの時間で遷移を起し、また消費電力も μW 程度であり、今のところ他のいずれの素子よりも優れた特性を持っている¹⁾。

〔3〕電圧形論理とフラクソイド形論理

ジョゼフソン素子を用いた論理回路や記憶回路は、大きく分けて二つの種類がある。一つはジョゼフソン素子の直流の電圧-電流特性に現われる強い非線形性を利用したもので、電圧形論理と呼ばれている。もう一つは、ジョゼフソン素子の電流-位相関係、つまり $I=I_0 \sin \phi$ の持つ非線形性を利用したもので、フラクソイド形論理と呼ばれる。

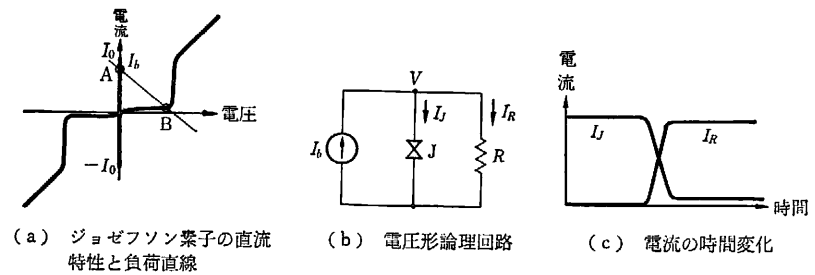


図4.9 電圧形論理

まず電圧形論理であるが、例えば、トンネル形ジョゼフソン素子を例にとると、その電圧-電流特性は図4.9(a)のようになっている。このジョゼフソン素子に同図(b)のように定電流源と抵抗を付けた回路を考えよう。素子の両端電圧が V のときに抵抗に流れる電流は V/R であるから、結局、素子に流れ込む電流 I_J は

$$I_J = I_0 - \frac{V}{R} \quad (4.1)$$

となる。この関係を図の(a)に書き入れると、電流軸と I_0 で交わる直線となる。 I_0 が I_0 より小さいと、図のように素子の直流特性と2箇所で交点を持つこととなる。つまり、この2点が素子の安定な動作点となるわけである。まず初めに、素子の動作点をA点としておく。次に、この回路になんらかのショックを与えて、素子の I_0 を I_0 より下げるか、 I_0 を増加させて I_0 より大きくすると、交点Aは消失するため動作点はB点に遷移することとなる。ショックの与え方にはいろいろあるが、論理入力を与えるようにし、かつ、幾つかの論理入力のうち一つでも十分なショックになるように結合を選んでやれば、入力のいずれか一つで遷移が起き、OR動作を行うこととなる。A点では電源電流 I_0 はすべてジョゼフソン素子を通り、B点では I_0 はほとんど R に流れ込むため、ショックの前後での各部の電流は図の(c)のように変化する。つまり、電流路が切り換えられたことになる。このため R を流れる電流を出力とすれば、OR論理となっていることがわかる。この回路の動作は半導体素子の動作と一見似ているが、一つ大きな違いがある。それは、ジョゼフソン素子の場合、いったんショックが加わって電流が R のほうに流れるようになると、その後、仮にショックが消失しても、もとの状態に戻らなくなることである。どうしても動作点をA点に戻した

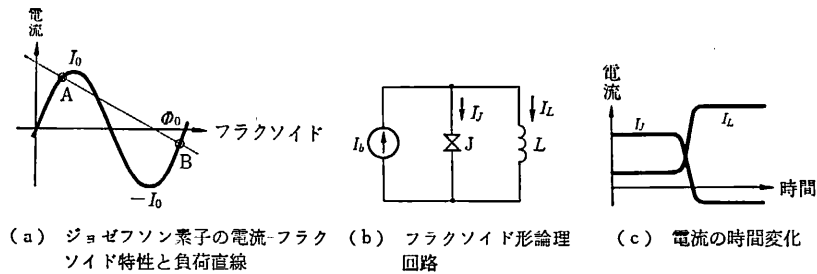


図 4.10 フラクソイド論理

い場合は、 I_0 をいったん0に戻して素子を再び超電導状態に戻し、それから再度 I_0 を増加するというリセットの作業が必要となる。このように、いったん遷移が起こるともに戻らない性質をラッチング特性と呼ぶ。

フラクソイド形論理も同様な原理で動作する。この場合は、直流の電圧-電流特性の代わりに、ジョゼフソン素子の電流-位相特性を利用する。回路的に扱いやすいように、位相 ϕ の代わりに電圧の積分、つまりフラクソイド Φ を用いると

$$I_J = I_0 \sin \frac{2\pi\Phi}{\phi_0} \quad (4.2)$$

の関係が成立する。これを図4.10(a)に示す。この図に電圧形論理のときと同じように直線を引くと、A、Bの2箇所で見つかる。まず初めに動作点をA点にしておき、ショックで I_0 が小さくなったり、直線が上に移動したりするようにすると、A点の交点がなくなり、動作点はB点に移動する。このように電圧形論理と全く同じ原理で論理回路を構成することができる。ただ、電流-電圧図上での直線は定電流源と抵抗で実現できるのに対し、電流-フラクソイド図上での直線は定電流源とインダクタンスで実現できることから、回路は図(b)のようになる点異なる。各素子に流れる電流の変化の様子は図(c)のようにはほぼ同様な変化をする。

現在、実用に最も近い技術では、論理回路は電圧形論理を用いて構成され、フラクソイド形論理は記憶回路に主として利用されている。

4.2 電圧形論理回路

(1) 磁界制御形論理回路

電圧形論理回路で、2個の交点のうち超電導状態であるA点をなくす一方法として、ジョゼフソン素子に磁界をかける方法がある。例えば、ジョゼフソン素子としてある程度幅の広いものを用い、それに磁界をかけると、その臨界電流は図4.11に示すように急激に減少する(詳しい解析は1章1.5節〔4〕項に示した)。そこで、図4.9(b)に示した電圧形論理回路の原理図に加えて、図4.12のようにジョゼフソン接合の所に磁界を作るように入力線を結合させると、論理回路を完成させることができる。図のように2本の入力線を結合させ、1本の入力線で作る磁界だけで臨界電流が十分に減少し、図4.11のように $I_0 < I_b$ とできればORを作ることができる。素子の最大電流あるいは入力電流がある程度、設計値よりずれても、このORは動作するが、あまりひどくずれると、当然正常な動作をしなくなる。このため、実際の回路の製作の際、許されるずれの許容量をマージンと呼ぶ。なお、図4.11は、電流の注入場所を端のほうにすると非対称の形となる。それは、素子自身にインダクタンスがあり、そこを流れる電流の作る磁界が関与してくるという自己電流効果があるからである。これを積極的に利用してマージンを広げることもしばしば行われる。

ANDも同じ原理で作ることができる。例えば、2入力ANDでは、2本の入力線に電流が流れたときにのみ $I_0 < I_b$ となるように、結合を弱くすれば原理的には可能である。しかし、現実の論理回路ではANDやORが混在し、そのために強い結合と弱い結合の両方を正確に作る必要がでてくる。こうした幾つかのパラメータを制御することは回路全体のマージンを狭くし大規模集積化を難しくす

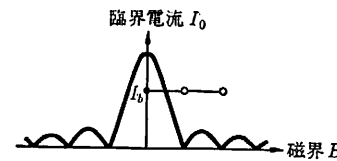


図 4.11 磁界による分布形ジョゼフソン臨界電流の制御

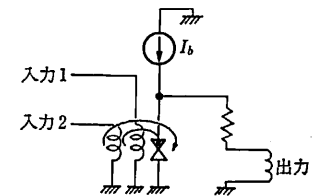


図 4.12 磁界結合形論理回路

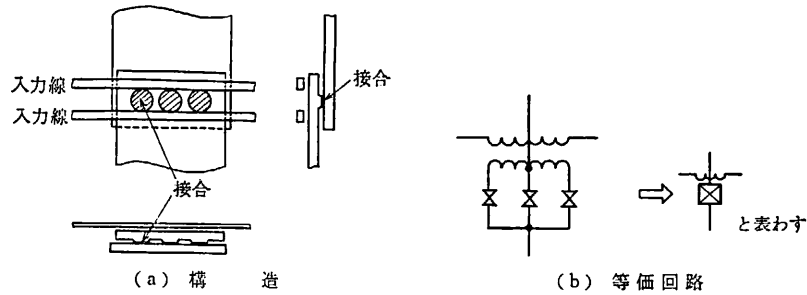


図 4.13 SQUID 形ジョセフソン素子

るため、できれば一つの結合度で統一するのが望ましい。このため、OR はこの原理で作られるが、AND は後に述べる電流制御形で作られることが多い。

幅の広いジョセフソン素子を用いると、実際には接合部分になかなか入力磁束が入ってこないで非常に幅を広くしなければならなくなる。

これを解決する方法として、幅の間に幾つか磁束の通る穴をあけたものが実用的である。図 4.13 に磁束の通る穴を二つ持った 3 接合 SQUID 素子を一例として示す。このようにすると磁束はほとんど穴の部分を通るため、結局、等価回路としては理想的なジョセフソン素子が幾つか並列に並んだものとなる。穴が一つであれば、1 章 1.5 節〔4〕項で述べた DC SQUID と同じものとなる。しかし、2 接合 SQUID では、図 4.11 に対応する I_0 の磁界依存性が図 4.14 のようになり、OR を作ろうとすると、すぐ次の山がじゃまになってしまう。簡単な理論では、山と山の間隔はもう少し開いているが、実際には先に述べた自己電流効果のため重なりが大きくなる。このため、この両方の図の中間的な I_0 - B 特性の得られる 3 接合 SQUID がよく用いられる”。

図 4.15(a) に示す 3 接合 SQUID の臨界電流 I_0 が、入力電流 I_c でどのように変化するかを計算しておこう。計算を簡単にするために結合トランスはすべて 1:1 の密結合とし、そのインダクタンスは全体で L とする。また、各接合の臨界電流は $I_1, 2I_1, I_1$ としておこう。更に、接合を通過する電流 I_b が、結合トランスに余計な磁束を発生することのないように、 $I_b/2$ ずつを各接合の中間

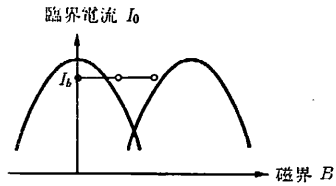
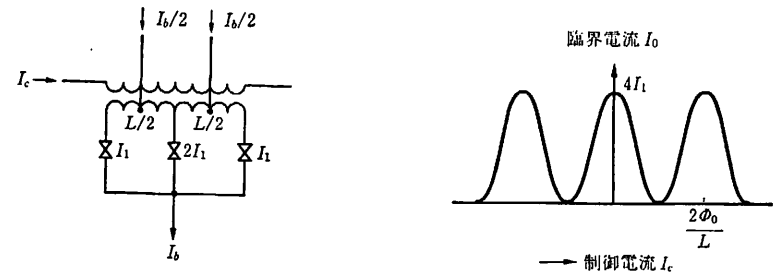


図 4.14 2 接合 SQUID の臨界電流の磁界依存性



(a) 3 接合 SQUID 形ジョセフソン素子 (b) 3 接合 SQUID の臨界電流の磁界依存性
図 4.15 3 接合 SQUID

点に注入するようにしておく。すると、トランスの二次巻線に鎖交する磁束は I_c によるものだけとなり、それぞれ $(L/2)I_c$ ずつとなる。いま、真ん中の接合の両端のフラクソイドを Φ とすれば、そこを流れる電流は $2I_1 \sin(2\pi\Phi/\Phi_0)$ となる。一方、右の接合にかかるフラクソイドは、真ん中の接合のフラクソイドと異なる値をとり、その差は巻線両端に発生する電圧の時間積分、つまり巻線に鎖交する磁束 $(L/2)I_c$ となる。そこで、このフラクソイドは $\Phi + (L/2)I_c$ となる。流れる電流も当然その \sin で与えられる。同様に、左の接合のフラクソイドは $\Phi - (L/2)I_c$ となるので、結局、全電流 I_b は

$$I_b = 2I_1 \sin \frac{2\pi}{\Phi_0} \cdot \Phi + I_1 \sin \frac{2\pi}{\Phi_0} \left(\Phi + \frac{L}{2} I_c \right) + I_1 \sin \frac{2\pi}{\Phi_0} \left(\Phi - \frac{L}{2} I_c \right) \\ = 2I_1 \sin \left(\frac{2\pi}{\Phi_0} \cdot \Phi \right) \left\{ 1 + \cos \left(\frac{2\pi}{\Phi_0} \cdot \frac{L I_c}{2} \right) \right\} \quad (4.3)$$

となる。従って、3 接合 SQUID 全体の臨界電流 I_0 は、この最大値をとって

$$I_0 = 2I_1 \left\{ 1 + \cos \left(\frac{2\pi}{\Phi_0} \cdot \frac{L I_c}{2} \right) \right\} \quad (4.4)$$

となる。この関係を図 4.15(b) に示す。実際の素子では、 I_b を半分ずつ注入することは困難であり、また注入場所もずれるため、 I_b による磁束の作るフラクソイドが接合間に発生してしまい、式 (4.3) の中に I_b が複雑に入ってくる。従って、ここに述べたことは概略としては正しいが、厳密には I_b の最大値 I_0 は、 I_c のかなり複雑な関数となり、解析的には求め難くなる。通常はコンピュータを用い、各接合のフラクソイドをパラメータとして、逆に電流を計算し、パラメータを変化させたときの各電流の動く様子をプロットする。こうして得られた電流の可変領域のへりが臨界電流に対応する。一般に、接合数を増やして分布形に近く

すると、同じバイアス電流に対して入力電流のマージンが広がる傾向がある。

図4-15で、 I_0 を増やしたときに臨界電流が著しく減少するのは、ほぼ $I_0 \cong \Phi_0/L$ くらいするときであることに注目してほしい。入力電流が接合付近に作る磁束がほぼ Φ_0 くらいというのが、入力に必要な電流値を決める目安である。

磁界制御形論理回路は、ジョゼフソン論理回路の中では、最も入出力の分離が良い、つまり、出力の変化が入力伝わらない性質を持った回路であり、半導体の3端子であるトランジスタに対応するものといえよう。しかし、入力線の磁束をジョゼフソン素子に結合させるために、どうしてもインダクタンスが必要となり、このため、ある程度の面積を使い、集積度を落としてしまうという欠点がある。前の解析で示したように、接合をスイッチするために必要な電流は、およそ $I_0 \cong \Phi_0/L$ である。しかし、この電流も前段のゲートのスイッチングにより駆動されているので、およそ前段のゲートの最大電流の程度である。前段もこの段も同じようなゲートを使っているはずであるから、このゲートで $LI_0 \cong \Phi_0$ の条件が満たされていなければならない。このゲートの上から見た長さを l 、幅を w とすると、 I_0 はおよそ J_0lw となる。 J_0 は単位面積あたりのジョゼフソン電流密度である。荒っぽい計算なので穴の部分などを無視している。一方、インダクタンス L の大きさは、穴の高さを d とするとほぼ $\mu_0 ld/w$ で与えられる。今度は接合部分が無視している。従って

$$(J_0lw)(\mu_0 ld/w) \cong \Phi_0$$

つまり

$$l \cong \sqrt{\frac{\Phi_0}{J_0 \mu_0 d}} \tag{4.5}$$

となる。 $\Phi_0 = 2 \times 10^{-15}$ [Wb], $J_0 = 1$ [kA/cm²], $\mu_0 = 4\pi \times 10^{-7}$ [F/m], $d = 1$ [μ m] とすると $l \cong 10$ [μ m] である。実際には無視した面積などが効いてくるため、数十 μ m もの長さとなってしまう。現在、半導体のFETは数 μ m 以下の長さで作られるため、この大きさはかなりつらいものとなる。 J_0 や d を大きくすると l を改善することができる。しかし、 d は集積回路を作る際の蒸着技術などで決まってしまうし、 w や l よりも大きくすると、ここで行った近似そのものも怪しくなってしまう。一方、 J_0 はトンネル形ジョゼフソン素子の場合、トンネル接合を形成している絶縁膜の厚さで決定される。しかも、トンネル電流は一般的にほぼ厚さの減衰形指数関数で与えられるから、厚さをわずかに薄くすると電流密

度は急激に増大する。現在、こうした方向の研究が精力的になされているが、厚さを薄くすると、ピンホールが発生し、リーク電流が増えるなどの問題を解決しなければならない。また、素子の電流が増加するため、回路全体のインピーダンスが低下し、回路設計が難しくなるので、素子の接合面積を小さくするなどの工夫が必要となってくる。

このように磁界制御形論理回路は、現在の技術では、ある程度の面積を必要とし、集積度の低減につながるが、トランジスタに似た構造であるため、入出力の分離がとりやすく、逆の性質を持った次に述べる電流制御形論理回路と組合せて利用される。

〔2〕 電流制御形論理回路

ジョゼフソン素子を超電導状態からもう一つの安定点である高抵抗状態に移させるには、素子の臨界電流を落とさなくても、ジョゼフソン素子に流れている電流を、なんらかの方法で臨界電流以上に増加してやればよい。まさにフューズと同じ方法である。

例えば、図4-16(a)のように、電圧形論理回路の基本回路に、二つの入力線を直接接続してみよう。 I_0 を臨界電流 I_0 のぎりぎりに設定しておくとし、 I_1 または I_2 のいずれかに I_0 と同じ方向の電流を加えることにより、素子を超電導状態から高抵抗状態に移させることができる。超電導状態の素子に流れる電流は $I_1 + I_2 + I_0$ であるから

$$I_1 + I_2 + I_0 > I_0 \tag{4.6}$$

となると素子は遷移を起こす。この関係を I_1, I_2 に対して表わしたものが図(b)である。図からわかるように、高抵抗状態に移する境界は原点に極めて近いから、 I_1 のみでも I_2 のみでも、また I_1 と I_2 でも遷移を起こす。つまり、ORが構成される。 I_0 をうまく調整して、図(c)のように、 I_1 と I_2 が共に存在す

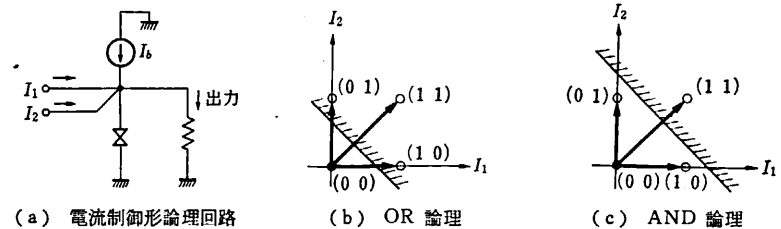


図4-16 電流制御形論理

るときのみ遷移が起こるようにすると AND が構成できる。

このように電流を直接ジョゼフソン素子に注入して論理を行う電流制御形論理回路は、大きな面積を必要とするインダクタンスを使わず、大変うまく動作しそうである。しかし、これを多段にしようとする、幾つかの問題が生ずる。まず第一は、入力と出力が同じ点に接続されているので入出力分離がとれないことである。例えば、図4・17のように OR の出力を次の段の OR に入れた回路を考えよう。後段の第2入力に1を入れ、後段を遷移させると、後段の I_b の電流は出力以外に前段のほうへも流れていき、前段を遷移させてしまう。こうした問題を避けるために、先に述べた磁界結合形論理回路と組合せて用いるとか、あるいは、この回路の前にアイソレータと呼ばれる回路を付けることが行われる。図4・18(a)で J_1 を中心とする回路は、今まで述べた基本回路である⁹⁾。この前に付けられた J_2 を中心とする回路がアイソレータである。 J_2 は、 I_b および I_b' により左向きに電流バイアスされている。このため、入力電流のような右向きの電流に対しては超電導状態を保つが、右側の J_1 が遷移してあふれてくる左向きの電流に対しては高抵抗状態となり、左右を分離してしまう。図4・18(b)も同様な原理で動作する回路であるが、バイアス電流源が一つにまとめられるという特長を持っている⁹⁾。

第二の問題はファンアウトである。基本回路のバイアス電流 I_b を臨界電流 I_c ぎりぎり設定すれば、ごくわずかな入力でも遷移が起こるが、現実には I_b のマージンを広くとりたいため I_b をもっと緩くしか設定しない。例えば、 $I_b = 0.5 \times I_c$ と設定したとすると、1入力の場合でも入力に必要な電流は $(1-0.5)I_c$ となる。つまり $0.5I_c$ の入力を入れると $0.5I_c$ の出力しか得られない。これは多段化するとき大変つらいことがわかる。もし出力で次段の二つのゲートを動かそ

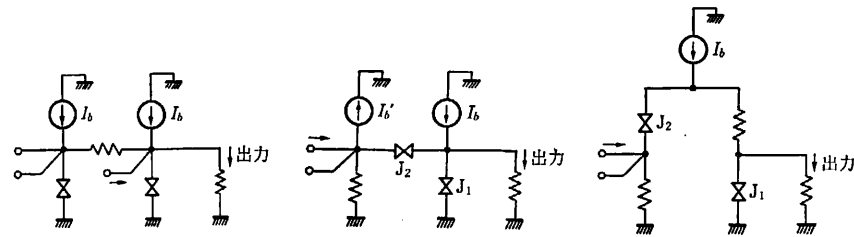


図 4・17 後段の遷移の結果が前段に回り込む

(a) JAWS (b) DCL
図 4・18 電流制御形論理回路のアイソレーションの例

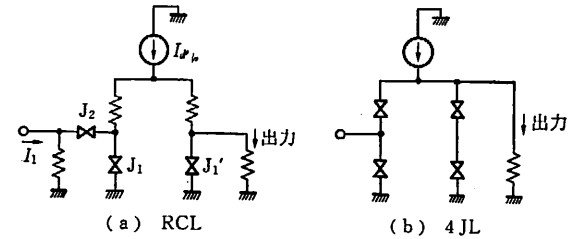


図 4・19 ファンアウトのとりやすい電流制御形論理回路

うとすると、 $0.5I_c$ は二つに分けられて $0.25I_c$ となってしまい、もはや次段を駆動することができなくなってしまいます。このため $0.5I_c$ ぐらいの入力で I_c ぐらいの出力が得られるとよい。この比率を制御感度と呼ぶ。ジョゼフソン素子を幾つか使用し、その非線形を利用し、制御感度を上げた回路が幾つか提案されている。図4・19(a)に示したものは抵抗結合形論理回路と呼ばれ⁹⁾、基本回路を並列に2組に分離し、その片側だけにアイソレータを経由して入力を入れたものである。 J_1 が高抵抗状態になると J_2 が高抵抗状態になって入力が分離されること以外に、 J_1' も高抵抗状態となり、出力に電流が送られることとなる。 J_1 の遷移は、およそ $I_c + (I_b/2)$ を超えるときに起き、かつ出力電流は I_b だけとれることから、 I_b は I_c ぐらいに設定でき、かつ $I_b/2$ 以上の入力電流 I_1 に対し、出力電流は I_c にとれ、制御感度が2であることがわかる。図(b)に示すものは、入出力分離機能と電流増幅の機能を融合させたもので 4JL 回路と呼ばれる⁹⁾。

〔3〕 否定論理の実現

電圧形論理回路による OR の実現法は、フューズの原理から明らかになったと思う。また、AND も原理的にはしきい値の高いフューズで実現される。実際には、動作可能領域を広げるために、線形なインダクタンスと非線形なジョゼフソン素子を巧みに組合せ、図4・12や図4・16(a)をわずかに変更した回路が用いられるが、原理はほとんど変わらない。

これに対し、任意の組合せ論理回路を作るために必要な NOT、あるいは NAND や NOR のような否定の概念の入った機能は、簡単には実現できない。ジョゼフソン素子はフューズのようなラッチング特性を持っているからである。入力がないときにフューズが切れて、入力があるときフューズに変化がないようにしようとする、図4・20のように入力を反対に結合したものともう一つ常に1の信号を接合に結合させその両方の和が1のときフューズが切れるようにし、

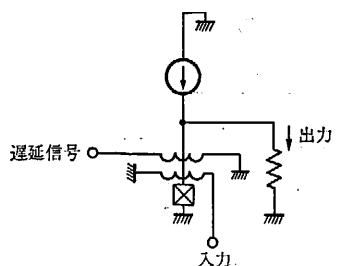


図 4.20 タイムドインバータ (入力を逆に結合させただけでは否定されない。遅延信号を後から入れると否定ができる)

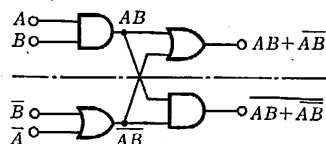


図 4.21 デュアルレール方式の一例 $AB + \overline{A}B$ の実現

和が0のときフューズが飛ばないようにすればよいと簡単に考えるかもしれない。こうした回路は、ノンラッチ特性の素子ではうまくいかない。というのは、否定したい入力にまだ信号が来ていないときに、フューズがあらかじめ切れてしまうからである。そこで、常に1の入力を後から遅れて入れる、あるいはほとんど同時に入れるという方法がとられる。これはタイムドインバータ方式と呼ばれる⁹⁾。もう一つの方法はデュアルレール方式と呼ばれるもので、上のレールではいつも目的の論理を構成し、下のレールではいつもその否定の論理を構成することとし、互いに論理構成上、否定された信号を必要とするときは、相手のレールから信号をもらうことにするというものである。このようにすると、最初の入力のところで、入力とその否定信号さえもらえば、後はANDとORだけで構成することが可能となる。図4.21に一例として $AB + \overline{A}B$ を実現する方法を示した。 $\overline{A}B$ は $\overline{A} + \overline{B}$ であるから、上のレールでANDを使うところは下のレールでORを使い、上のレールでORを使うところは下のレールでANDを使うことにすればよいことがわかる。この方式はゲート数がちょうど2倍となるが、複雑なタイミングの信号を必要とせず、安定な動作を行う。いちばん最初の入力の反転にはタイムドインバータを用いるか、外部から反転した入力を用意するしかない。

〔4〕電圧形論理回路の特長と問題点

電圧形論理回路の特長は、ある程度の大きなファンアウトのとれることである。また、半導体素子、特にMOS FETが電圧で信号を制御するのに対し、電流で信号を制御するという点で大きな違いがあるが、この双対性に着目すると、半導体回路からの類推がかなりできることである。特に磁界制御形ジョセフソン素子は、双対性が高く、FETが入力電圧を上げると導通になるのに対し、入力電

流を上げると開放になる。唯一の差は、ジョセフソン素子がラッチングをする点である。

電圧形論理回路のいちばんの問題点は、パンチスルーという現象である⁹⁾。ジョセフソン素子は遷移が起こるとラッチングするため、論理操作が一段落するたびに、これをもう一度超電導状態にリセットしなければならない。具体的には、回路の電源をいったん0にすればよいのであるが、簡単のために、図4.22のように0

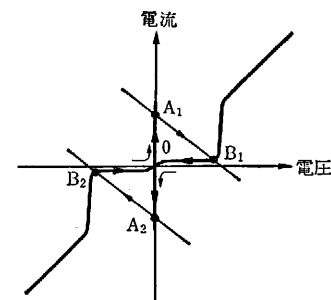


図 4.22 双方向性リセット

を通り越して逆の方向にバイアスし、次の論理操作は逆の象限の A_2, B_2 間の遷移を利用することが多い。バイアスが0を通過するとき超電導状態に戻るのであるが、この通過速度が速すぎると、超電導状態に戻らないということがまれに発生する。これがパンチスルー現象である。電圧状態はフラクソイドが増加している状態であるが、ここでリセットのために電流源を急激に0にしても、フラクソイドの増加は直ちには停止しない。特に大きなキャパシタンスを持ったトンネル形ジョセフソン素子の場合は、キャパシタンスが端子電圧をなるべく維持する、つまりフラクソイドの増加傾向を継続しようとするため、一種の慣性質量のような作用をする。このため、電流源を0にしても、しばらくは安定状態に落ち入らず、安定状態の周りで減衰振動をすることとなる。この振動が十分おさまってから電流を再び(逆に)印加すると、 $I-\phi$ 図上の対応する ϕ で新しい定常状態に落ち着き、超電導状態にリセットできるが、まだ振動の大きいときに電流を印加すると、 ϕ がひたすら増加する電圧状態になってしまうことがある。つまり、パンチスルー現象は、前の電圧状態における振動の残り具合やその不確定的な ϕ の値によって大きく影響を受け、極めて確率的な振舞をすることとなる。このほかにも振動に基づく幾つかの現象が、ジョセフソン回路の動作を複雑にする。

こうした素子の振動性の程度をある程度定量的に示すためには、安定点付近での振動の Q を求めればよい。つまり、素子の安定点付近のインダクタンスを L 、抵抗を R 、キャパシタンスを C とすると、並列共振の Q は

$$Q = \omega_0 CR = R \sqrt{\frac{C}{L}}$$

となる。 L は動作点で変わるが、代表値として $I-\phi$ 関係の原点付近のこう配を

とると $L = \Phi_0 / 2\pi I_0$ となるから

$$Q = R \sqrt{\frac{2\pi I_0 C}{\Phi_0}} \quad (4.7)$$

が得られる。なお、この値の2乗はジョゼフソン素子のマッカンプ係数と呼ばれている。多くのトンネル形ジョゼフソン素子では、 Q はおよそ10くらいであり、振動的となっている。このことから、パンチスルー現象のような振動に基づく不確定性を除去するには制動の十分効いた状態にすればよいことがわかる。つまり、式(4.7)で R を十分小さくするのも一つの方法である。これは素子に制動抵抗を並列に付けることで実現される。この方法は状態遷移時間までも制動してしまうため好ましい方法ではないが、簡便な方法としてしばしば行われる。もう一つの方法は、接合のトンネル絶縁膜の厚さを薄くすることである。こうすると I_0 は急増し、それにほぼ逆比例して R は急減する。一方、 C は厚さに反比例して少し増加するだけであるから、結局 Q は急減することとなる。先に集積度のところでもトンネル絶縁膜を薄くし、電流密度を上げる必要性を示したが、ここでもその必要性が理解されよう。

電圧形論理回路のもう一つの問題点は、遷移時間の遅さである。現在のところ半導体素子に比べまだ十分な速さを持っているため、あまり問題とはなっていないが、これは純粋なジョゼフソン効果で決まる時間よりもかなり遅いことである。ジョゼフソン素子を超電導状態から高抵抗状態に遷移させるには、およそ Φ_0 のフラクソイドが必要である。一方、素子には図4.9(a)からわかるように、約2mVのギャップ電圧 2Δ の電圧しかかけられないから、遷移にはどうしても $\Phi_0/2\Delta$ 程度の時間が必要となる。時定数という形で、この $1/2\pi$ の

$$\tau_0 = \left(\frac{\Phi_0}{2\pi}\right) \frac{1}{2\Delta} \doteq 0.17 \text{ [ps]} \quad (4.8)$$

がしばしば素子自身の時定数として使われる。ところが、電圧形論理回路では電圧を保持するためのキャパシタンスがあるため、この時間では遷移が起きず、実際には $(2\Delta)C$ の電荷を I_0 ぐらいの電流源で充電する時間 $(2\Delta)C/I_0$ が必要となってしまう。ところで、この二つの時間の比は、 $2\Delta/I_0$ を R として 2Δ を消失すると、ちょうど式(4.7)の Q 値の2乗、つまりマッカンプ係数となっている。そこで C で決まる時間は τ_0 の数十倍から100倍ぐらいであることがわかる。

C を小さくすると、遷移時間をもっと小さくすることが可能である。しかし、現在のトンネル形ジョゼフソン素子の技術では、必ずしも容易ではない。このため、弱結合形素子のような異なる原理で動作するジョゼフソン素子の開発も精力的に行われているが、まだ研究段階といえよう。

4.3 フラクソイド形論理回路

[1] 単一磁束量子論理回路

電圧形論理回路がジョゼフソン素子の I - V 特性上の2安定点間の遷移を利用したのに対し、ジョゼフソン素子の I - Φ 特性上の2安定点間の遷移を利用した論理回路がフラクソイド形論理回路である。

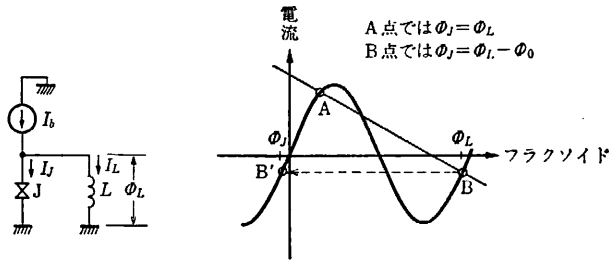
フラクソイド形論理回路を理解するには、こうした回路の解析手法を心得ていると便利である。超電導の回路を計算するのも、普通の回路を計算するのと同じように、キルヒホッフの法則にはほぼ従う。キルヒホッフの電流法則(KCL)「各接点へ流れ込む電流の総和は0である。」は、超電導回路でも成立する。問題はキルヒホッフの電圧法則(KVL)「任意のリングに沿う電圧の総和は0である。」であり、超電導回路の場合、少し書き替える必要が生ずる。というのは、超電導回路の場合、電圧よりも、その時間積分であるフラクソイドのほうが重要な役割を演ずるからである。では、「任意のリングに沿うフラクソイドの総和は0になる。」であろうか。答は否である。例えば、超電導リングに磁束のトラップされることが知られている。いったんトラップされてしまうと、後は磁束の源を取り去っても同じ量の磁束が保持される。つまり、単純な超電導インダクタンスのリングに沿うフラクソイドの和は、このリングにトラップされている磁束に等しくなっている。では、どんな量の磁束でもトラップされるかということ、実は磁束量子 Φ_0 の整数倍しか許されない。このことから類推して、キルヒホッフの電圧法則に対応するフラクソイド法則(KFL)は「任意のリングに沿うフラクソイドの総和は磁束量子 Φ_0 の整数倍になる。」。このことを図4.23に示す。

ジョゼフソン接合の端子間のフラクソイドについては注意が必要である。というのは、 Φ と $\Phi + 2n\pi$ とは同じ電流 I を流すからである。電流だけでなく、内部の状態も全く差がない。もう少し厳密にいうと、ジョゼフソン素子両端のフラクソイドは必ず $-\Phi_0/2 < \Phi < \Phi_0/2$ の範囲に入っていて、それ以上の Φ を与えて



(a) キルヒホッフの電流法則 (KCL) (b) キルヒホッフの電圧法則 (KVL) の積分フラクソイド法則 (KFL)

図 4.23 超電導回路の回路法則



(a) フラクソイド論理 (b) 各素子のフラクソイド

図 4.24 ループ1周のフラクソイドの総和はA点に対し0, B点に対し Φ_0 である

も Φ_0 ごとにフラクソイドが増減し、結局この範囲内におさまってしまうといえる。回路の状態が滑らかに変化していったジョセフソン素子のフラクソイドが、この範囲を超えてしまったときにも、 Φ が $\Phi_0/2$ を通過する瞬間にジョセフソン素子内に必ず超電導電子密度が0なる点が発生する。超電導電子がなければ、その両端のフラクソイドも定義されなくなるので、このときに Φ が Φ_0 だけずれてしまうことになる。ジョセフソン素子のフラクソイドを主値 ($-\Phi_0/2 < \Phi < \Phi_0/2$) に選んでリングのフラクソイドの総和を求めたとき、その値をリングにトラップされているフラクソイドという。当然 Φ_0 の整数倍となるので個数ということもある。

さて、この方法で前に示したフラクソイド論理回路の場合のフラクソイドの総和を求めてみよう。図4.24のように、ジョセフソン素子両端のフラクソイド Φ と電流 I_J の関係は、素子自身の正弦波関係と、素子外部の電流源と L から決まる直線関係の両方を同時に満たさなければならないから、図のA点やB点で与えられる(もう一つの交点は不安定点である)。さてA点は、 L 両端のフラクソイドも素子両端のフラクソイドも共に Φ_L であり、 L と素子で作るループ1周のフ

ラクソイドの総和は $\Phi_L - \Phi_L = 0$ となる。ところが、B点では L 両端のフラクソイドは Φ_L であるが、素子両端のフラクソイドは Φ_L ではなく、主値 ($-\Phi_0/2$ から $\Phi_0/2$ の範囲にあるもの) $\Phi_L - \Phi_0$ と考えるべきである。このため、ループ1周のフラクソイドの総和は $\Phi_L - (\Phi_L - \Phi_0) = \Phi_0$ となる。このように、フラクソイド論理回路の状態遷移は、ループにトラップされているフラクソイドの数の遷移と考えてよい。

フラクソイド論理回路の遷移のきっかけを与える方式は、電圧形論理回路と同様に磁界制御形と電流制御形の2種類が考えられる。磁界制御形は、図4.25のようにジョセフソン素子を DC SQUID の形や分布形のものにし、磁界感度を持たせたもので、入力が発生する磁界により、ジョセフソン素子全体の臨界電流が減少し、その結果負荷直線との交点Aが消失すると遷移が起こる。電流制御形は、図4.26のように、バイアス電流と重ねて入力電流が入れられ、その総和が負荷直線を動かす、交点Aが消失すると遷移が起こる¹⁰⁾。

このように、フラクソイド形論理回路の動作原理は、電圧形論理回路の動作と酷似しており、同じようなラッチング動作を行う。最も大きな相違点は、電圧形論理回路が超電導状態と電圧状態、つまりフラクソイドが一定か増大していくかという Φ_0 をたくさん使うのに対し、フラクソイド論理回路は Φ_0 が1個あるかという1個の Φ_0 で論理を行う点である。

多くのフラクソイド形論理回路が電圧形論理回路と同様な原理で動作するのに対し、やや異なる原理で動作する Quantron と呼ばれる回路も提案されている¹¹⁾。それは、図4.27のようにバイアス電流を適当に与えて、負荷直線がちょうど $\Phi = \Phi_0/2$ でジョセフソン素子特性と交わるようにしたものである。このジョセフソン素子の臨界電流を外部磁界により十分減らすと交点は図(b)のよう

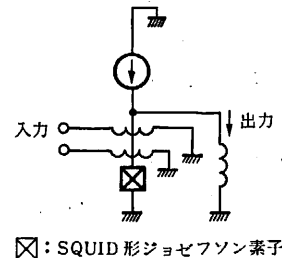


図 4.25 磁界制御形フラクソイド論理

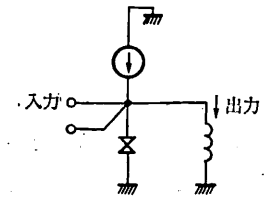


図 4.26 電流制御形フラクソイド論理

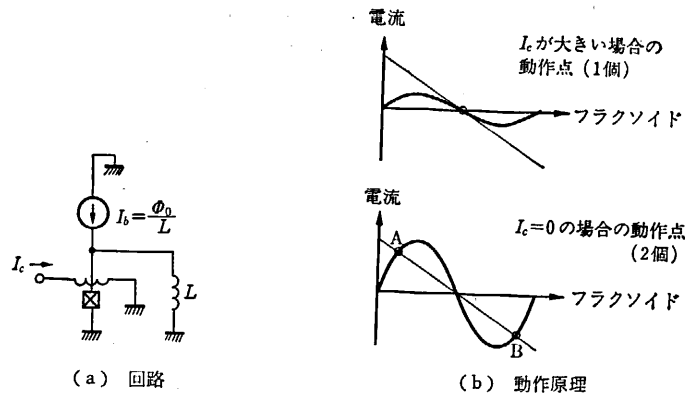


図 4-27 Quatron の動作

に1点となるが、徐々に磁界を弱めていくと交点は2箇所に分離する。しかし、この2個の動作点は全く対称であるため、分離の瞬間にわずかな信号を与えることにより、動作点をA点にしたりB点にしたり制御することができる。つまり、ラッチング形ではあるが大きな利得を持った回路を実現できる。この回路は適切なバイアス電流源を必要とするが、これを省略できる改良方式が幾つか提案されている^{12), 13)}。

こうしたフラクソイド形論理回路は取扱う ϕ_0 の個数が少ないため、速度が速く、また消費電力も少ないのが特長であるが、一方、出力には最大 ϕ_0 の磁束変化しか起こせないため、各段で十分な利得がないと動作が難しい。また、当然のことながら、後段に数多くのゲートがある。つまりファンアウトが大きいと ϕ_0 を幾つかに分けたもので、後段を駆動しなければならず、やはり困難が生ずる。もう一つの難点は、負荷インダクタンスである。フラクソイド形論理回路は、ジョゼフソン素子の臨界電流と負荷インダクタンスの積を ϕ_0 程度の正確な値に設定しなければならない。ところが、論理ゲート間の距離やファンアウトの数はいろいろであるので、配線や結合コイルのインダクタンスが入ってくるため、これを一定に抑えるのが極めて難しいことになる。

しかしながら、フラクソイド形論理回路には、パンチスルーのような確率現象がないという特長がある。というのは、A点やB点が素子のフラクソイドまできちんと決定してしまう動作点であり、仮にジョゼフソン素子の Q が高く、慣性的動作があり、振動があってもいずれこれらの安定点に落ち着くことになるか

らである。もちろん、フラクソイド形論理回路では、ジョゼフソン素子の Q は低いほど安定点に早く到達できるので、 Q の低い弱結合形素子を用いて製作されることが多い。これに対し電圧形論理回路では、 Q がある程度高いほうが電圧状態が正確に決まり、設計しやすいという矛盾を含んでいる。

〔2〕 ジョゼフソン記憶回路

フラクソイド論理回路は、実用的には記憶回路として用いられることが多い。これは、記憶回路の場合、記憶セルという等しいパターンを用いるためインダクタンスが一定にできるからである。また、記憶セルは数多く配置するため、可能な限り消費電力や蓄積エネルギーを低くするほうが望ましいが、その点でもフラクソイド形論理回路は適している。

記憶回路を分類すると、大きく大容量メモリとキャッシュメモリに分けることができる。キャッシュメモリとは、コンピュータの中央処理装置のそばに置かれる高速メモリであり、容量よりも高速性を要求される。一方、大容量メモリは、もう少し離れたところに置かれるメモリで、速度よりも容量、つまり集積度を要求される。これとは別の分類法として、記憶内容を読み出すと、内容が破壊してしまう DRO (破壊読出) メモリと、破壊しないで保存される NDRO (非破壊読出) メモリがある。

メモリセルの原理図の一例を図 4-28 に示す¹⁴⁾。 I_y はワード線であり、一つの番地に対応する何ビットかのセルを列方向縦に貫いている。 I_x はビット線であり、ここに電流を流すと1が、流さないと0が記憶されるようになっている。1セルの基本的な回路構成はフラクソイド形論理回路そのものになっている。セルに“1”を書き込むには、 I_y に適切なバイアス電流を与えるとともに、 I_x によ

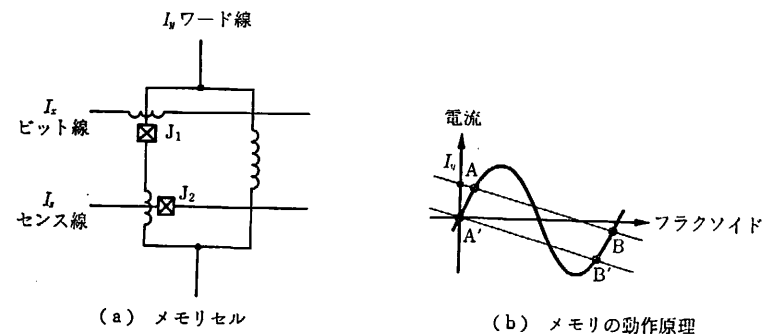


図 4-28 RF SQUID 形記憶回路

り SQUID 形ジョゼフソン素子の臨界電流を下げる。その結果、動作点は図(b)のB点になる。また、セルに“0”を書き込むには I_y のみを与え、 I_x を与えない。この結果、動作点は図(b)のA点となる。いずれの場合も、その後 I_y を0とすると、安定点BはB'へ、またA点はA'となり、ループのフラクソイド Φ 。または0の形でデータが保持される。データを読み出すには I_y と I_x に電流を流し、動作点がA点のときにのみ J_1 側に大きな電流が流れ J_2 のセンス SQUID が電圧状態に移行するようにしておく。つまり、このセルが“0”のときのみ電圧が発生する。このセルが“1”のときはB点であるため、 J_1 には十分な電流が流れないし、また I_x に結合している他のセルはA'点またはB'点を動作点にしているため、いずれも J_2 を電圧状態にするだけの十分な電流が流れないように調整されている。このため、このワード線の情報だけが得られることとなる。

この RF SQUID 形のメモリは、あちこちに磁界感度のあるジョゼフソン素子を使っているため占有面積が大きい。しかし、非破壊メモリであるため使いやすく、キャッシュメモリとして考えられている。これに対し、もっと占有面積の小さいメインメモリ用として、図4・29のように、DC SQUID 1個で1セルを構成する方式も提案されている¹⁵⁾。これも基本的にはフラクソイド形論理回路であり、ループの一部を構成している L を適当に選ぶことにより、ループのフラクソイドを0または Φ_0 の2状態とれるようにしたものである。ループの L を非対称に配置するなどの工夫により、非破壊メモリにもすることができるが¹⁶⁾、詳細については省略する。

ジョゼフソンメモリのセルの選択はワード線によって行うが、たくさんあるワード線のある特定な1本を選ぶには、デコーダと呼ばれる論理回路が必要である。デコーダにもいろいろのものが提案されているが、現在、最もよく使われているものは電圧形論理回路を利用したものである¹⁷⁾。例えば、図4・30にデコーダの例を示す。まず、図(a)で、

この回路の基本動作を示そう。いちばん右のインダクタンスに電流が流れるためには、ジョゼフソン素子 J_1 も J_2 も共に電圧状態になっているときだけである。つまり信号AもBもあるときだけであ

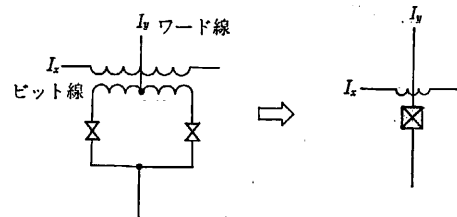
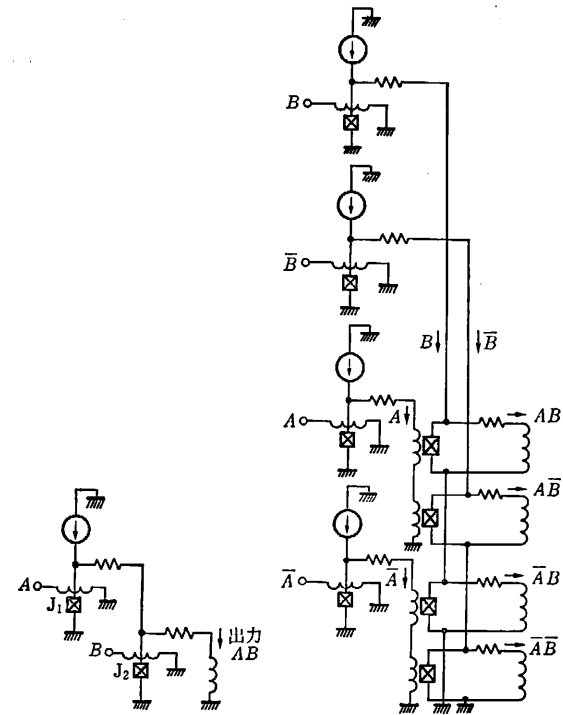


図4・29 DC SQUID 形記憶回路



(a) AND 動作の実現 (b) 2ビットデコーダ

図4・30 デコーダ回路

る。このことから、この回路により AB を実現できることがわかる。そこで、この基本回路を拡張して、 A, \bar{A}, B, \bar{B} の四つの入力により動作する回路を作ると、図(b)のようになり、最後の四つのインダクタンスには $AB, \bar{A}\bar{B}, \bar{A}B, A\bar{B}$ のそれぞれの場合のときのみ電流が流れる。つまり (11), (10), (01), (00) の入力をデコードしたことになる。もっとワード数の多い場合も同じ原理でデコードすることができる。

デコーダで選択された電流はワード線に流されるが、ワード線はかなり長いものである。同様にビット線も長く、共に大きなインダクタンスを有する。このため、このインダクタンスを電流の流れていない状態から電流の流れている状態に切り替える、あるいは逆の過程で相当な時間を必要としてしまう。電源の電流源の大きさを I_0 とすると、これら二つの状態間の電流差はほぼ I_0 であるので、

LI_0 程度のフラクソイド変化を起こさなければならない。ところが素子両端の電圧はたかだかギャップ電圧 2Δ であるため、およそ $LI_0/2\Delta$ の時間がかかってしまう。 LI_0 を $n\Phi_0$ と量子磁束の整数倍で表わすと

$$n \frac{\Phi_0}{2\Delta} \doteq n \times 10^{-12} [\text{s}] = n [\text{ps}]$$

ぐらいの時間がかかることとなる。仮に1セルのゲートに Φ_0 ずつ必要としても、100セルを同時に駆動しようとするとも100ps必要ということになる。更に、配線のインダクタンスも無視できないのが現状であるので、これをいかに小さくするかが高速メモリの課題であろう。

〔3〕 フラクソン論理回路

ジョゼフソン素子を図4.31(a)のように分布して多数配置したものをジョゼフソン線路と呼ぶ。実際には極めて幅の広いジョゼフソン接合で実現される。いま、単位長あたりのジョゼフソン臨界電流を I_0 、接合容量を C 、インダクタンスを L とすると Δx あたりの等価回路は図(b)のようになる。そこで

$$\Phi_{i+1} - \Phi_i = L\Delta x I_i$$

$$I_{i+1} - I_i = I_0 \Delta x \sin \frac{2\pi\Phi_i}{\Phi_0} + C\Delta x \frac{d^2\Phi_i}{dt^2}$$

が得られる。最後の項は、キャパシタンスに流れ込む電流が電圧の時間微分、つまりフラクソイドの2回微分に比例することを表わしている。また、素子のコンダクタンスは無視した。これら二つの式から

$$\frac{\partial\Phi}{\partial x} = LI, \quad \frac{\partial I}{\partial x} = I_0 \sin \frac{2\pi\Phi}{\Phi_0} + C \frac{\partial^2\Phi}{\partial t^2} \tag{4.9}$$

が得られ、更に I を消去すると

$$\frac{1}{L} \cdot \frac{\partial^2\Phi}{\partial x^2} - C \frac{\partial^2\Phi}{\partial t^2} = I_0 \sin \frac{2\pi\Phi}{\Phi_0} \tag{4.10}$$

が得られる。この方程式は v を任意定数として

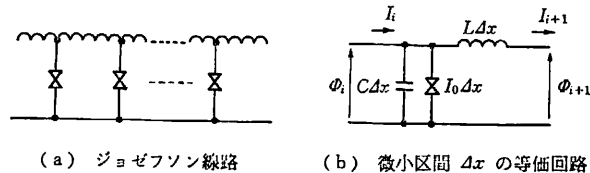


図 4.31 ジョゼフソン線路

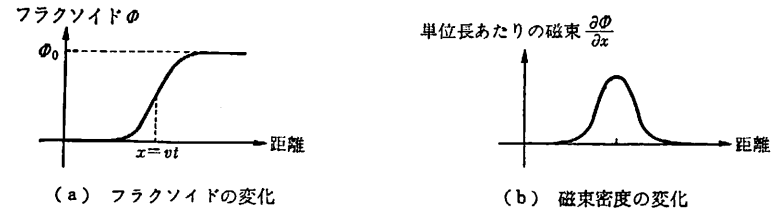


図 4.32 フラクソン

$$\Phi = \frac{4\Phi_0}{2\pi} \tan^{-1} \left\{ \exp \left[\pm \sqrt{\frac{2\pi LI_0}{\Phi_0(1-LCv^2)}} (x-vt) \right] \right\} \tag{4.11}$$

の形を持つ。

この Φ が x とともにどのように変化するかを示したものが図4.32(a)である。更に、単位長あたりの L に鎖交する磁束 $(L\Delta x)I/\Delta x$ は、式(4.9)から $\partial\Phi/\partial x$ となるので、これも図(b)に示した。つまり、フラクソイドは0から Φ_0 まで、およそ

$$\lambda_J = \sqrt{\frac{\Phi_0}{2\pi LI_0}} \tag{4.12}$$

ぐらいの距離で急激に変化し、その最も変動の激しい点、つまり鎖交磁束密度の最も大きい位置は v の一定速度で移動していく。更に変動の距離は、厳密には v とともに減少し、 $v=1/\sqrt{LC}$ で0となる。また、図(a)で、 $\Phi_0/2$ 以上の Φ は主値をとると考えるべきであることから、この中心点を囲むループでの総フラクソイドを求めると、いずれも Φ_0 となる。

このようなフラクソイド Φ_0 を持ち、 v で移動していく磁束のかたまりは、数学的に興味を持たれているソリトンの一つ具体例であり、特にフラクソンと呼ばれている¹⁹⁾。フラクソンは一定の速度 v で動き続けることになっているが、実際の線路には、ジョゼフソン素子と並列に抵抗が入っているため、その動きは徐々に遅くなる。このため、線路のところどころに駆動電流を入れて速度を維持させることが行われる。急に回路定数を変えた領域を作っておくと、そこにフラクソンを停留させることもできる。このようにフラクソンは一次元の空間を動く粒子のような振舞をする。

特に複数個のフラクソンの挙動は興味深い。例えば、同じ向きの磁束を持った2個のフラクソンは、互いに λ_J 以上近づけようとするとき強く反発する。また、逆の向きの磁束を持った2個のフラクソンは λ_J ぐらいの距離で引力を感じ、低

速で近寄ると互いに消滅する。十分、相対速度を持っている場合は、衝突後、再び互いにすり抜けたような挙動を示す。こうしたフラクソンのおもしろい挙動を利用した論理回路も二三提案されており^{19), 20)}、今後の発展が期待される。

4.4 ジョゼフソンコンピュータおよびその他のデジタル応用

(1) ジョゼフソンコンピュータ

コンピュータに要求される計算速度、ゲート数、記憶容量は、年々増加の一途をたどっている。低く見積っても計算速度だけでも10年におよそ10倍は高速になっている。そこで、今のコンピュータの10倍の高速性を持つコンピュータを推定してみよう。現状のコンピュータの心臓部はおよそ10 nsのけたのサイクル時間で動き、寸法は 1 m^3 程度である。このサイクル時間と寸法は深い関係にある。いま、サイクル時間を10倍の1 nsのけたにしてみよう。するといちばんの問題が信号の伝播時間となる。というのは、光速ですら1 nsでは30 cmしか進めないからである。つまり心臓部の大きさを 10 cm^3 ぐらいにしないと、全体が同期して動くことが困難となってしまう。

このようにコンピュータを小さくすると最大の問題は発熱となってしまう。現在のコンピュータは心臓部で少なくみても1 kWの電力を消費している。およそ 1 kW/m^3 の発熱である。これをそのまま寸法を1/10、つまり体積を1/1000にすると 1 MW/m^3 の発熱量となってしまう。ゲート数などの回路規模を大きくしようとする、更にこの値は大きくなってしまふ。そこで、1素子の消費電力を1/1000程度に落とす工夫が必要となってくる。半導体素子でいうと、電流レベルや電圧レベルを下げる必要がある。半導体素子の電圧レベルは、バイポーラトランジスタでもFETでもおよそ素子のバンドギャップのオーダーで決定されたり制御されたりする。従って、材料を変えない限り1 Vを大きく割るのはかなり困難である。そこで電流レベルを下げることとなるのであるが、これは主として素子の寸法で決定されてしまう。このため微細加工技術の進展が必要となる。これに対し、ジョゼフソン素子の場合、既に電圧レベルが1

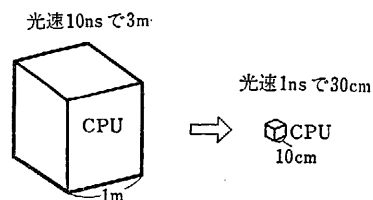


図 4-33 計算速度を10倍にすると

mVのけたであるため、1素子の電力消費も通常の半導体素子の1 mWに対し $1\text{ }\mu\text{W}$ とかなり少ない点が有利である。

1素子あたりの電力消費が減ると、論理状態を維持するためのエネルギーが減ってくる。例えば、MOSの場合は、論理“1”に対し $(1/2)CV^2$ のエネルギーが次段のゲートに蓄えられる。この値はMOSの消費電力と立ち上がり時間の積で与えられる。ジョゼフソン素子の場合 $(1/2)LI^2$ が同じように対応する。これらのエネルギーが減ってくると周辺温度を下げる必要が生じてくる。というのは素子がONのとき、素子の発生する熱雑音のため、これら蓄積エネルギーは kT ほどの揺らぎを持つからである。現在のコンピュータの周囲温度は、こうした熱雑音を減らすというよりは、むしろ素子の焼損を防ぐために設定されているが、それでも消費電力を1/1000程度にすると、周囲温度は1/10~1/100程度下げる必要が生じてくる。つまり現在の周囲温度である300 K~400 Kを少なくとも50 K以下程度に下げる必要がでてくる。ジョゼフソン素子は、超電導にするために冷却を行わなければならないが、結果的にこれはある程度の必然であることが理解されよう。半導体素子の場合も、もちろん高速コンピュータには低温化が必要となってくることはいうまでもない。

以上が高速化に要求される諸条件であるが、当然のことながら素子そのものが高速に動作しなければなんの意味もない。半導体素子の動作速度は、電子がベース領域やゲート領域を通過する時間で決定される。この長さを $1\text{ }\mu\text{m}$ とすると、半導体の飽和速度がおよそ 10^7 cm s^{-1} であるから10 psが動作時間となるが、微細加工技術が進展すると、この値はもう少し小さくなり得る。ジョゼフソン素子の動作時間も Φ_0 がジョゼフソン素子を横切る時間で与えられる。ただし、この場合は、接合の長さはほとんど関係せず、 Φ_0 のフラクソイド変化をギャップ電圧 2Δ で起こすための時間が主となってしまふ。 $\Phi_0/2\Delta$ は約2 psであり、現在のところは半導体より勝っているが、将来は同程度になり得る値である。いずれの場合も、ここに示したものは基本時定数であり、実際にはフェンアウトをとったり、配線のリアクタンスが存在するため、クロック時間はこの2~3けた上の値をとるのが普通である。

このようにジョゼフソン素子は、高速コンピュータ用素子として高い可能性を持っているが、問題点も幾つかある。まず、第一はラッチング論理である点である。既に述べたように、否定が作りづらい、リセット動作が必要であるなどが問

題となる。特にリセット動作を行うためには非常に高い周波数の交流波形を用意しなければならない。通常の半導体のコンピュータでもクロックを交流として使用しているが、これらは信号だけであり、チップ内で増幅して使われ、大きな電力は直流でしか供給されない。これに対し、ラッチング論理では大電力の交流クロックが必要である。大電力の交流をいかに同相で各チップに供給するかといった問題や、また各チップで、波形を整形したり、分配したりする回路の面積も無視できない。

これに対し、ジョゼフソン素子を CMOS のように2個使うなどの方式でノンラッチング論理も幾つか提案されている。まだそれぞれに問題があるが、この方向の研究に期待が寄せられる。

第二の問題は診断技術である。つまり、システムがすべて液体ヘリウム中にあるため、限られた入出力線数で、いかに故障を探したり、動作確認をするのかという点である。しかし、これについては、近年シリコンの集積回路でも同様な問題が生じつつある。つまり、VLSI のような、入出力線数に比しゲート数の極めて大きな回路を扱うのと同じ種類の問題であり、この方面からの提案により解決策が得られると思う。

このほかにも、材料の問題、パンチスルーの問題、磁束が回路内や基板にトラップされるフラクストラップの問題など幾つかの問題があるが、シリコンのような現在極めて安定といわれる素子もかつて多くの問題を抱えていたことを考えると、いずれ解決されることと思われる。

〔2〕 AD コンバータ

ジョゼフソン素子の高速性を利用した回路としてADコンバータが幾つか提案されている²¹⁾。これはDC SQUID に一定バイアスをかけておき、ループに鎖交

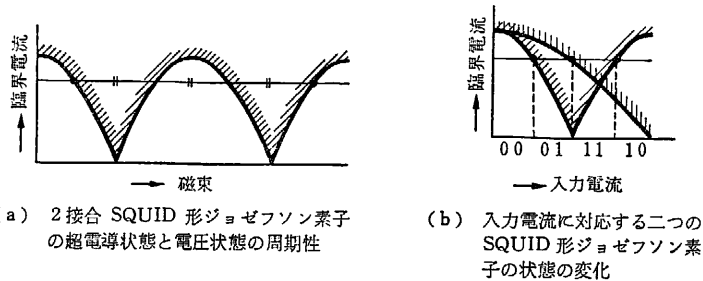


図 4-34 AD コンバータの原理

する磁束を変化すると、図 4-34 (a) のように超電導状態と電圧状態が繰り返されることを利用する。十分ダンピングを効かせて回路の Q を落とすとラッチング現象がなくなるため、電圧状態から超電導状態へも直ちに帰ることとなる。そこでバイアスをうまく選び、超電導状態と電圧状態が等しい区間で交互に並ぶようにしておく。こうした DC SQUID を2個用意したものが図 (b) である。ただし、片方の SQUID は同じ入力電流に対し、わずかな外部磁束しか発生せず、入力電流に対する周期がちょうど2倍になるようにしてある。超電導状態を0、電圧状態を1と表わし、入力電流を徐々に強めていったときの状態の変化を書くと、下から (00), (01), (11), (10) となって入力電流が2ビットに2進化されることがわかる。通常の2進数と順序が異なるが(グレイコーディング)、これは通常のバイナリーコードに変換し直すことが容易である。

この原理で構成した3ビット AD コンバータの例を図 4-35 に示す。抵抗回路は R-2R 回路と呼ばれるもので、どの分岐点から見ても右の合成抵抗が 2R に見えるため、電流が各分岐点で2分される。このため、入力電流 I_i の 1/2, 1/4, 1/8 の電流が下の DC SQUID に流れていく。出力は DC SQUID から分流してくる電流の有無でわかる。 I_i の寄与の最も少ない右端の出力が最上位ビットとなる。

〔3〕 ジョゼフソンサンプリング回路

ジョゼフソンゲートの高速性とラッチ機能を利用すると、高速サンプリング回路を構成することができる²²⁾。図 4-36 のように、観測したい周期波形に、それ

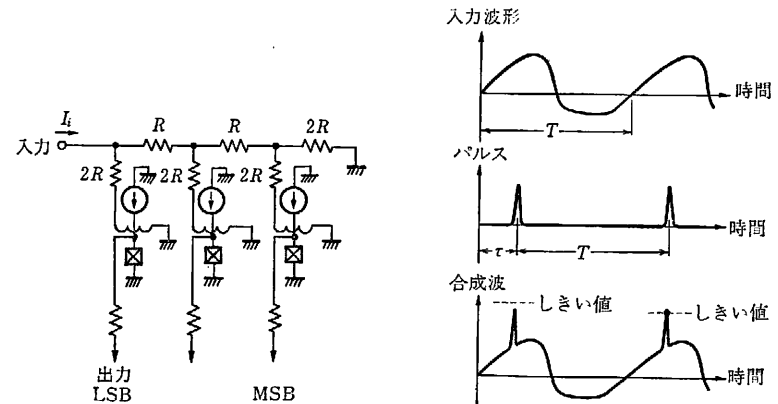


図 4-35 AD コンバータの回路

図 4-36 サンプリングの原理

と同じ周期を持つ一定の高さのパルス列を重ねる。この波形を適当なしきい値を持つラッチング論理回路に入れ、しきい値を徐々に減らしていくと、あるところで論理の遷移が起こる。このときのしきい値とパルスの高さから波形の高さを知ることができる。もとの波形に対するパルス列の遅延時間を少しずつ変えて、そのつど、論理遷移の起こるしきい値を測定すれば、もとの周期波形が得られることとなる。

しきい値素子としては図4・37のように電圧形論理回路を用いる。また、しきい値の変更は、パルスに直流を加えることにより実効的に行う。つまり波形とパルスと直流の合計がある値に達すると、出力が出、達しなければ出力が出ないということで、その時刻での波高を知ろうというものである。遅延は、可変長同軸線路の長さを変えたり、インダクタンスに一定電圧をかけて電流がある値に達するまでの時間を利用したりする。X-Yプロッタに波形を描かせようとする時、遅延線の長さや、インダクタンスにかけた電圧などに対応する量をX軸に入れ、Y軸には出力が発生したときの直流電流値を入れる。

高速のサンプリングを行うには、パルス自身も非常に鋭くなければならない。こうした鋭い波形は、現在のところジョセフソン素子を使わないと作り出すことができない。ジョセフソン素子に図4・38(a)のように抵抗と階段状の電圧源を付け、最初に流れる電流が臨界電流以上になると素子は電圧遷移を起こす。このとき抵抗値が十分小さく、ダンピングが効いていると振動が発生せ

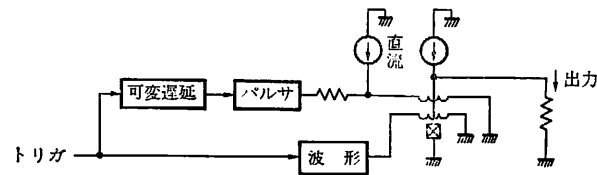
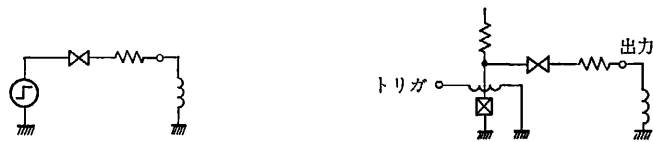


図4・37 ジョセフソンサンプリング回路の原理



(a) 鋭いパルスの発生原理

(b) パルス発生回路

図4・38 鋭いパルスの発生回路

ず、抵抗には一発の電流パルスが現われるだけになる。階段状の電圧は DC SQUID の電圧遷移で作ることができるから図(b)の形で鋭いパルスを発生することができる。

現在、この原理に基づくサンプリング技術により最も高速な測定が可能であり、数 ps の分解能が得られている。

参 考 文 献

- 1) IBM J. Res. & Dev. 24 (1980)
- 2) H. Beha, Electronics Lett., 13, 218 (1977)
- 3) H.H. Zappe: Appl. Phys. Lett., 27, 432 (1975)
- 4) J.A. Fulton, S.S. Pei and L.N. Dunkelburger: Appl. Phys. Lett., 34, 709 (1979)
- 5) T.R. Gheewala and A. Mukherjee: IEDM '79 Tech. Dig., 482 (1979)
- 6) J. Sonc, T. Yoshida and H. Abe: Appl. Phys. Lett., 40, 741 (1982)
- 7) S. Takada, S. Kosaka and H. Hayakawa: JJAP, 19, Suppl 19-1, 607 (1980)
- 8) M. Klein and D.J. Herrell: IEEE SC-13, 577 (1978)
- 9) E.P. Harris and W.H. Chang: IEEE Trans., Magn., MAG-17, 603 (1981)
- 10) H. Tamura, Y. Okabe and T. Sugano: Appl. Phys. Lett., 39, 761 (1981)
- 11) K.K. Likharev: IEEE Trans. Magn., MAG-13, 242 (1977)
- 12) Y. Okabe, A. Inoue and T. Sugano: Proc. of 17th Conf. on Low Temp. Phys., 445 (1984)
- 13) 清水, 後藤: 理研シンポジウム「ジョセフソンエレクトロニクス」, 102 (1985)
- 14) W.H. Henkels and J.H. Greiner: IEEE J. Solid State Circ., SC-14, 794 (1979)
- 15) W. Anacker: IEEE Trans. Magn., MAG-5, 968 (1969)
- 16) M. Yamamoto and A. Ishida: JJAP, 20, Suppl 20-1, 343 (1981)
- 17) S.M. Faris: IEEE J. Solid State Circ., SC-14, 699 (1979)
- 18) T.A. Fulton, R.C. Dynes and P.W. Anderson: Proc., IEEE, 61, 28 (1973)
- 19) K. Nakajima, Y. Onodera and Y. Ogawa: J. Appl. Phys., 47, 1620 (1976)
- 20) S. Sakai, H. Akoh and H. Hayakawa: JJAP, 23, L 610 (1984)
- 21) C.A. Hamilton and F.L. Lloyd: IEEE Trans. Magn., MAG-17, 3414 (1981)
- 22) S.M. Faris: Appl. Phys. Lett., 36, 1005 (1980)